

# PICTURE DISPLAY DEVICE

Publication number: JP8166775

Publication date: 1996-06-25

Inventor: SHIRAKI ICHIRO; KUBOTA YASUSHI

Applicant: SHARP KK

Classification:

- international: G02F1/133; G09F9/35; G09G3/20; G09G3/36;  
G02F1/13; G09F9/35; G09G3/20; G09G3/36; (IPC1-7):  
G09G3/36; G02F1/133; G09F9/35

- European:

Application number: JP19940309236 19941213

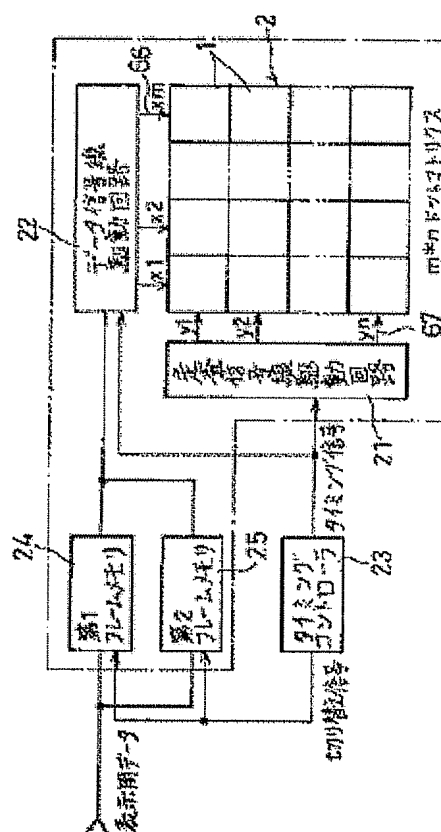
Priority number(s): JP19940309236 19941213

Report a data error here

## Abstract of JP8166775

PURPOSE: To improve mounting efficiency and to decrease a manufacturing cost by applying driver monolithic technology.

CONSTITUTION: This device is constituted of MOS transistors arranged to respective pixels 1... as a switching element for driving the pixels 1, a scanning signal line driving circuit 21 and a data signal line driving circuit 22 transmitting a driving signal based on display data to the MOS transistor through data signal lines 67 and a scanning signal lines 66, and a first frame memory 24 and a second frame memory 25 storing display data outputted to these driving circuits 21, 22 by one frame unit and provided on the outside of pixels on the same substrate.



**Family list**7 family members for: **JP8166775**

Derived from 5 applications

[Back to JI](#)**1 Image display apparatus****Inventor:** SHIRAKI ICHIRO (JP); MATSUURA  
MANABU (JP); (+1)**Applicant:** SHARP KK (JP)**EC:** G09G3/36C8**IPC:** G09G3/36; G09G5/399; G09G3/36 (+2)**Publication info:** CN1115066 A - 1996-01-17

CN1129886C C - 2003-12-03

**2 PICTURE DISPLAY DEVICE****Inventor:** SHIRAKI ICHIRO; KUBOTA YASUSHI**Applicant:** SHARP KK**EC:****IPC:** G02F1/133; G09F9/35; G09G3/20 (+8)**Publication info:** JP3207693B2 B2 - 2001-09-10

JP8166775 A - 1996-06-25

**3 PICTURE DISPLAY DEVICE AND ITS DRIVING METHOD****Inventor:** SHIRAKI ICHIRO; MATSUURA MANABU; (+3)**Applicant:** SHARP KK**EC:****IPC:** G02F1/136; G02F1/133; G02F1/1368 (+7)**Publication info:** JP7199149 A - 1995-08-04**4 ACTIVE MATRIX TYPE PICTURE DISPLAY DEVICE****Inventor:** SHIRAKI ICHIRO (JP); MATSUURA  
MANABU (JP); (+3)**Applicant:** SHARP KK (JP)**EC:** G09G3/36C8**IPC:** G09G3/36; G09G5/399; G09G3/36 (+2)**Publication info:** KR0168477B B1 - 1999-03-20**5 Active matrix-type image display apparatus controlling writing of display data with respect to picture elements****Inventor:** SHIRAKI ICHIRO (JP); MATSUURA  
MANABU (JP); (+3)**Applicant:** SHARP KK (JP)**EC:** G09G3/36C8**IPC:** G09G3/36; G09G5/399; G09G3/36 (+2)**Publication info:** US5844538 A - 1998-12-01Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-166775

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
G 0 9 F 9/35	3 0 5	7426-5H		

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平6-309236

(22) 出願日 平成6年(1994)12月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

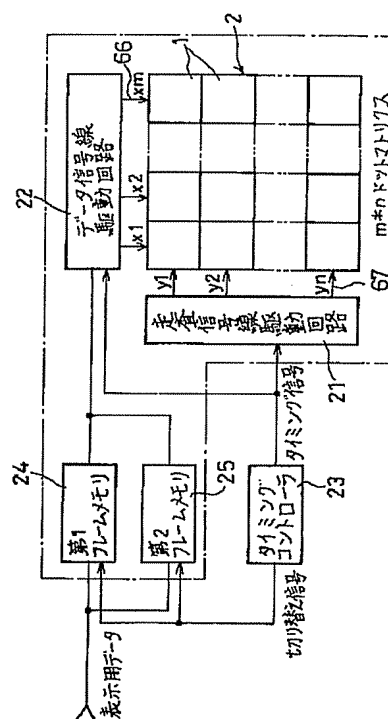
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【構成】 画素1を駆動するためのスイッチング素子として各画素1…に配されたMOSトランジスタと、データ信号線67…及び走査信号線66…を介してMOSトランジスタに表示用データに基づく駆動信号を伝送する走査信号線駆動回路21及びデータ信号線駆動回路22と、これら駆動回路21・22に出力するための表示用データを1フレーム単位で記憶し、かつ画素外に設けられる第1フレームメモリ24及び第2フレームメモリ25とが同一基板上に形成されている。

【効果】 ドライバモノリシック技術を応用することにより、実装効率の向上及び低コスト化を図ることができる。



**【特許請求の範囲】**

**【請求項 1】** 複数のデータ信号線と、それらデータ信号線に対して交差する複数の走査信号線とを備えると共に、表示用データに基づき画像を表示するための各画素が、隣り合う各データ信号線及び隣り合う各走査信号線により囲まれた位置にそれぞれ配置された画素アレイよりなる画像表示装置において、  
上記画素を駆動するためのスイッチング素子として各画素に配列された MOS トランジスタと、  
上記データ信号線及び走査信号線を介して上記 MOS トランジスタに表示用データに基づく駆動信号を伝送する駆動回路と、  
上記駆動回路に出力するための表示用データを 1 フレーム単位で記憶し、かつ画素外に設けられるメモリ手段とが同一基板上に形成されていることを特徴とする画像表示装置。

**【請求項 2】** 上記メモリ手段は少なくとも 2 つの区分メモリ手段に区分される一方、上記表示用データにおける新たな 1 フレーム分の一方の区分メモリ手段への記憶と他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しとを交互に切り替えて行わせる切替手段と、  
上記一方の区分メモリ手段による表示用データの新たな 1 フレームを記憶する期間内に、他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しを 2 回以上行うことにより同一表示用データを同一画素に 2 回以上繰り返して書き込ませる繰返書き込手段とが設けられていることを特徴とする請求項 1 記載の画像表示装置。

**【請求項 3】** 上記メモリ手段を DRAM 構成、SRAM 構成又は EEPROM 構成としたことを特徴とする請求項 1 又は 2 記載の画像表示装置。

**【請求項 4】** 上記 MOS トランジスタと駆動回路及びメモリ手段を構成する各素子とは、多結晶シリコン薄膜を半導体層としてなっていることを特徴とする請求項 1、2 又は 3 のいずれかに記載の画像表示装置。

**【請求項 5】** 上記基板は電気絶縁性を有するガラス基板からなっており、上記各手段を構成する素子が 600℃以下のプロセス温度で形成されていることを特徴とする請求項 1、3 又は 4 のいずれかに記載の画像表示装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、マトリクス状に表示用画素を有する画像表示装置に関するものである。

**【0002】**

**【従来の技術】** 薄型パネルディスプレイとして代表的なものの一つにアクティブマトリクス型の液晶表示装置が知られている。上記アクティブマトリクス型の液晶表示装置では、図 12 に示すように、液晶容量 71 及び補助容量 72 からなる画素容量 73 と非晶質シリコンからなる

薄膜トランジスタ (Thin Film Transistor) スwitching 素子 (以下、「TFT」と称する) 74 とからなる画素 75 を、図 13 に示すように、マトリクス状に配列して画素アレイ 70 として形成し、これを表示用電極基板として用いている。

**【0003】** 上記の画素 75 はガラス板等の光透過型の絶縁基板上に形成されており、この絶縁基板上には、図 12 に示すように、その他に、TFT 74 に接続されて画素 75 を駆動するためのデータ信号線 76 や走査信号線 77 等の各配線も併せて形成されている。そして、これら各画素 75 が隣り合う各データ信号線 76 及び隣り合う各走査信号線 77 により囲まれた位置にそれぞれ配置されたものとなっている。

**【0004】** この種の液晶表示装置は、画像の表示品位が高く、また表示用電極基板として利用される絶縁基板の面積の大きさに制約が少なく、かつ反射型、透過型のいずれにも適用可能なため、広く実用に供されている。

**【0005】** ところで、液晶表示装置では、スイッチング素子を備えた画素にデータ信号及び走査信号を供給するための駆動回路を表示用電極基板に接続する必要がある。

**【0006】** 駆動回路と表示用電極基板との接続方法としては、ポリイミド樹脂薄膜ベース等に銅薄膜線を多数形成してなる接続フィルムを用いるフィルムキャリア方式や表示用電極基板上に直接駆動回路を実装する COG (Chip On Glass) 方式等がある。

**【0007】** これに対し、近年では表示電極基板におけるスイッチング素子の形成に際して、駆動回路とスイッチング素子とを一体形成し、回路素子の実装効率を向上させるドライバモノリシック技術の開発が行われている。

**【0008】** しかし、スイッチング素子として一般的に用いられる非晶質シリコン薄膜を半導体層とした非晶質シリコンの TFT を用いたのでは駆動能力が不足し、ドライバモノリシック技術を実現させるには困難である。

**【0009】** そこで、駆動能力の高い多結晶シリコン薄膜を半導体層とした多結晶シリコンの TFT を用いたドライバモノリシック技術の開発が進められている。

**【0010】** ここで、一般的なドライバモノリシック型アクティブマトリクス画像表示装置について詳述する。

**【0011】** 図 14 に示すように、多結晶シリコンからなる TFT を用いた MOS (Metal Oxide Semiconductor) トランジスタは、絶縁基板 81 に多結晶シリコンからなる半導体層 82 を形成し、次いで、ゲート絶縁膜 83 及びゲート電極 84 を形成した後、半導体層 82 にソース電極 85 及びドレイン電極 86 を形成し、さらに、層間絶縁膜 87 及び金属配線層 88・89 を形成した後、保護膜 90 を形成した構造である。

**【0012】** 上記ゲート電極 84 は上記走査信号線 77 に、ソース電極 85 はデータ信号線 76 に、並びにドレ

イン電極 86 は液晶容量 71 及び補助容量 72 に接続されている。なお液晶容量 71 及び補助容量 72 の反対側の端子は共通電極に接続されている。

【0013】また、上記各データ信号線 76…は、表示用データを供給するデータ信号線駆動回路 78 に接続され、各走査信号線 77…は走査信号を供給する走査信号線駆動回路 79 にそれぞれ接続されている。そして、上記データ信号線駆動回路 78 及び走査信号線駆動回路 79 は、これらにタイミング信号を送るタイミングコントローラ 80 に接続されている。

【0014】上記タイミングコントローラ 80 は、図 13 に示すように、各画素 75…に表示すべきデータの電圧、及び表示を行う際の位置決めを行うための水平、垂直同期信号等を生成し、これら信号を基にデータ信号線駆動回路 78 にて 1 水平期間分の表示用データをサンプリングし、このサンプリングされた信号をタイミングコントローラ 80 にて生成した転送信号により上記データ信号線 76 に出力する。

【0015】一方、走査信号線駆動回路 79 では、図 12 に示すように、走査信号線 77 がアクティブ状態であるときにデータ信号線 76 上を送られている表示用データが TFT 74 を介して液晶容量 71 に書き込まれる。液晶容量 71 に書き込まれた電荷により液晶層の透過率、或いは反射率が変調され表示が維持される。そして、表示用データの垂直周波数が 60Hz であればインターレース方式では 1/30 秒、ノンインターレース方式では 1/60 秒で 1 画面の表示、つまり 1 フレームが完了する。

【0016】ところで、液晶容量 71 にはこの液晶容量 71 と並列に比較的高抵抗の抵抗成分が存在すると共に、OFF 状態の TFT 74 にも抵抗成分が存在する。このため、蓄積された電荷がこれら抵抗成分を介してリークし、次のフレームによって再びこの画素 75 に表示用データが書き込まれるまでに画素電極の電位が変化する。さらに、ドライバモノリシック技術を実現するために必要不可欠である多結晶シリコンの TFT をスイッチング素子として用いた場合には、該トランジスタの OFF 特性は非晶質シリコンの TFT と比較すると劣悪であるために、さらに表示品位の劣化を招いていた。したがって、上記不具合を低減させるために液晶容量と並列に比較的大きな値を有する補助容量 72 を設けることが通例とされている。

【0017】

【発明が解決しようとする課題】しかしながら、上記従来の液晶表示装置では、ドライバモノリシック技術を実現するために必要不可欠である多結晶シリコンの TFT 74 をスイッチング素子として用いた場合、この多結晶シリコンの TFT 74 の OFF 特性が非晶質シリコンの TFT 74 と比較すると劣悪であるために、表示電位が減衰して画素 75 に書き込まれた表示用データが十分保

持されないという表示品位の劣化等が問題となっていた。

【0018】また、上記不具合を低減させるために液晶容量 71 と並列に比較的大きな値を有する補助容量 72 を設けるという対策が施されているが、この補助容量 72 の存在によって画素 75 の開口率が低下していた。

【0019】そこで、これらの問題を解決するために、表示用データを各画素の補助容量で保持するのではなく、画素外に各画素に対応させて設けたメモリを用いて表示用データを保持する構成が提案できる。

【0020】しかしながら、上記画素外にメモリを設け、メモリを形成する基板と画素アレイを形成する基板とを別々にした場合には、その接続が煩雑となり、画像表示装置の実装効率を向上させるというドライバモノリシック技術の利点を損なうという問題点を有している。

【0021】本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、多結晶シリコン TFT をスイッチング素子として用いた場合においても、ドライバモノリシック技術を実現し得ると共に、多結晶シリコン TFT の OFF 特性の不足を補い、画素開口率の向上を図り、良好な表示品位を確保し得る画像表示装置を提供することにある。

【0022】

【課題を解決するための手段】請求項 1 記載の発明の画像表示装置は、上記課題を解決するために、複数のデータ信号線と、それらデータ信号線に対して交差する複数の走査信号線とを備えると共に、表示用データに基づき画像を表示するための各画素が、隣り合う各データ信号線及び隣り合う各走査信号線により囲まれた位置にそれぞれ配置された画素アレイよりなる画像表示装置において、上記画素を駆動するためのスイッチング素子として各画素に配列された MOS トランジスタと、上記データ信号線及び走査信号線を介して上記 MOS トランジスタに表示用データに基づく駆動信号を伝送する駆動回路と、上記駆動回路に出力するための表示用データを 1 フレーム単位で記憶し、かつ画素外に設けられるメモリ手段とが同一基板上に形成されていることを特徴としている。

【0023】請求項 2 記載の発明の画像表示装置は、上記課題を解決するために、請求項 1 記載の画像表示装置において、上記メモリ手段は少なくとも 2 つの区分メモリ手段に区分される一方、上記表示用データにおける新たな 1 フレーム分の一方の区分メモリ手段への記憶と他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しとを交互に切り替えて行わせる切替手段と、上記一方の区分メモリ手段による表示用データの新たな 1 フレームを記憶する期間内に、他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しを 2 回以上回行うことにより同一表示用データを

同一画素に 2 回以上繰り返して書き込ませる繰返書込手段とが設けられていることを特徴としている。

【0024】請求項 3 記載の発明の画像表示装置は、上記課題を解決するために、請求項 1 又は 2 記載の画像表示装置において、上記メモリ手段を DRAM (Dynamic Random Access Memory) 構成、SRAM (Static Random Access Memory) 構成又は EEPROM (Electrical Erasable Programmable Read Only Memory) 構成としたことを特徴としている。

【0025】請求項 4 記載の発明の画像表示装置は、上記課題を解決するために、請求項 1、2 又は 3 のいずれかに記載の画像表示装置において、上記 MOS トランジスタと駆動回路及びメモリ手段を構成する各素子とは、多結晶シリコン薄膜を半導体層としてなっていることを特徴とする請求項 1、2 又は 3 のいずれかに記載の画像表示装置。

【0026】請求項 5 記載の発明の画像表示装置は、上記課題を解決するために、請求項 1、3 又は 4 のいずれかに記載の画像表示装置において、上記基板は電気絶縁性を有するガラス基板からなっており、上記 MOS トランジスタ、駆動回路、及びメモリ手段の各手段を構成する素子が 600℃ 以下のプロセス温度で形成されていることを特徴としている。

【0027】

【作用】請求項 1 の構成によれば、画素を駆動する MOS トランジスタと、駆動信号を伝送する駆動回路と、表示用データを 1 フレーム単位で記憶するメモリ手段とが同一基板上に形成されている。これにより、実装効率の向上及び低コスト化を図ることができる。

【0028】請求項 2 の構成によれば、新たな 1 フレーム分の表示用データは、切替手段によって、少なくとも 2 つの区分メモリ手段のいずれかに記憶される。そして、一方の区分メモリ手段への記憶が行われる期間内に、他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの駆動回路への読み出しが上記切替手段によって行われる。そして、切替手段は、上記少なくとも 2 つの区分メモリ手段への記憶と読み出しとを交互に切り替えて行わせる。これによって、表示データの記憶と各駆動手段への読み出しとを同時に行うことができる。

【0029】一方、他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しに際しては、一方の区分メモリ手段によって表示用データの新たな 1 フレームを記憶させる期間内に、他方の区分メモリ手段における既に記憶された 1 フレーム分の表示用データの上記駆動回路への読み出しを 2 回以上行うことにより繰返書込手段が同一表示用データを同一画素に 2 回以上書き込ませる。

【0030】この結果、新たな 1 フレームの表示用データが記憶される期間内に、同一表示用データを同一画素

に繰り返して書き込ませるので、画素に要求されるデータ保持時間が短縮され、保持率が向上する。したがって、多結晶シリコン TFT をスイッチング素子として用いた場合においても、多結晶シリコン TFT の OFF 特性の不足を補い、良好な表示品位を確保することができる。

【0031】また、各画素の補助容量を廃止するか又は補助容量の該容量値を小さくすることができるので、画素開口率の向上を図ることができ、かつ画素回路規模の縮小を図り、ひいては良品率の向上及び高精細化が可能となる。

【0032】また、請求項 3 の構成によれば、上記メモリ手段を DRAM 構成、SRAM 構成、又は EEPROM 構成としているので、既存の DRAM、SRAM 又は EEPROM の技術を活用して、MOS トランジスタ、駆動回路及びメモリ手段を同一基板上に容易に形成することができる。

【0033】一方、スイッチング素子として一般的に用いられる非晶質シリコン薄膜を半導体層とした非晶質シリコン TFT を用いたのでは、駆動能力が不足し、ドライバモノリシック技術を実現させるには困難である。

【0034】しかし、請求項 4 の構成によれば、MOS トランジスタは、駆動能力が高い多結晶シリコン薄膜を半導体層としてなっているため、メモリ手段及び駆動回路とスイッチング素子とをモノリシックに形成することができる。

【0035】しかも、メモリ手段は、フレーム周期以下の時間毎にデータを書き換えることにより、リーク電流の大きい多結晶シリコン TFT を用いたメモリにおいても、リークによるデータの消失を防ぐことができ、これによって、通常の DRAM で行われているようなリフレッシュ動作を必要としない。また、多結晶シリコン薄膜を用いた MOS トランジスタの OFF 特性の不足を十分に補うことができる。

【0036】また、請求項 5 の構成によれば、基板上に形成される MOS トランジスタ、駆動回路及びメモリ手段を構成する素子がプロセス温度 600℃ 以下で形成されているので、安価な低融点のガラス基板が使用可能となり、これによって、装置の大型化、低コスト化が可能となる。

【0037】

【実施例】

〔実施例 1〕本発明の一実施例について図 1 ないし図 7 に基づいて説明すれば、以下の通りである。

【0038】本実施例の画像表示装置としての例えば液晶表示装置は、アクティブマトリクス型の液晶表示装置に適用されるものであり、図 1 に示すように、複数の画素 1…を  $m \times n$  のマトリクス状に配した画素アレイ 2 を有している。

【0039】上記画素 1 は、図 2 に示すように、液晶容量 61 及び補助容量 62 からなる画素容量 63 と多結晶

シリコンの半導体層からなるMOS (Metal Oxide Semiconductor) トランジスタ64とからなっている。

【0040】また、画素1はガラス基板等の光透過型の後述する絶縁基板5上に形成されており、この絶縁基板5上には、MOSトランジスタ64に接続されて画素1を駆動するためのデータ信号線66や走査信号線67も併せて形成されている。そして、隣り合う各データ信号線66…及び隣り合う各走査信号線67…により囲まれた位置に各画素1…がそれぞれ配置されたものとなっている。

【0041】上記の各データ信号線66…及び各走査信号線67…は、図1に示すように、画素アレイ2の横で上記絶縁基板5上に一体に形成された駆動回路としての走査信号線駆動回路21及びデータ信号線駆動回路22にそれぞれ接続されると共に、後述する第1フレームメモリ24及び第2フレームメモリ25も合わせてこの絶縁基板5上に形成されている。したがって、同図において一点鎖線で示す各画素1…のMOSトランジスタ64…、走査信号線駆動回路21及びデータ信号線駆動回路22、並びに第1フレームメモリ24及び第2フレームメモリ25が同一絶縁基板5上に形成されていることになり、これによって、回路素子の実装効率を向上させるドライバモノリシック技術の適用が図られている。以下、これらの構造を順に説明する。

【0042】上記の走査信号線駆動回路21及びデータ信号線駆動回路22は、繰返書込手段としてのタイミングコントローラ23に接続されている。また、データ信号線駆動回路22は、メモリ手段としての第1フレームメモリ24又は第2フレームメモリ25を介して表示用データに接続される一方、上記第1フレームメモリ24及び第2フレームメモリ25には、切替手段としての上記タイミングコントローラ23からの切替信号がそれぞれ入力されている。

【0043】上記タイミングコントローラ23は、各画素1…に表示すべきデータの電圧、及び表示を行う際の位置決めを行うための水平・垂直同期信号等を生じ、これらの信号を基にデータ信号線駆動回路22にて1水平期間分の表示用データをサンプリングする。次いで、タイミングコントローラ23は、サンプリングされた上記信号をタイミングコントローラ23で生成した転送信号によりデータ信号線66に出力する。

【0044】上記の第1フレームメモリ24及び第2フレームメモリ25は、書き込みと読み出しとを1フレーム毎、すなわちフレーム周波数が60Hzの場合には16.67ms毎に交互に行う。なお、1フレームとは、画素アレイ2全体で表示される完結した1画像をいう。

【0045】また、本実施例においては、上記メモリ手段及び一方の区分メモリ手段としての第1フレームメモリ24並びにメモリ手段及び他方の区分メモリ手段とし

ての第2フレームメモリ25は、合計2つのメモリに区分されているが、必ずしもこれに限らず、それ以上の数でも良い。

【0046】ところで、本実施例では、第1フレームメモリ24及び第2フレームメモリ25を構成するメモリセルは、図3に示すように、スイッチング素子とキャパシタとを備えたDRAMと同様の構造を有している。なお、第1フレームメモリ24又は第2フレームメモリ25におけるメモリ容量は、下記の条件を満たすように構成されている。

【0047】メモリ容量 $\geq$ 画素数 $\times$ 色数 $\times$ 階調数  
ここで、色数は、カラーでは3、白黒では1となる。また、階調数は、256階調では8、64階調では6、8階調では3となる。

【0048】上記の第1フレームメモリ24及び第2フレームメモリ25を形成する場合には、まず、絶縁基板5上に、多結晶シリコンからなる半導体層8及び多結晶シリコン半導体からなる第1容量電極9を形成し、これらの上にゲート絶縁膜10を形成する。次いで、半導体層8におけるゲート絶縁膜10の上にゲート電極11を形成する一方、第1容量電極9におけるゲート絶縁膜10の上に第2容量電極12を形成する。

【0049】次いで、上記の半導体層8にはソース電極13及びドレイン電極14を形成する。さらに、層間絶縁膜15を形成した後、後述するビットライン7となる金属配線16、ドレイン電極14と第2容量電極12とを接続する金属配線層17、及び中間電位であるHVC端子と第1容量電極9とを接続する金属配線18を形成する。最後に保護膜19を形成する。

【0050】上記の構成は、図4に示す回路と等価になっており、半導体層8等から形成されるスイッチング素子であるメモリ用MOSトランジスタ4と第1容量電極9及び第2容量電極12からなるデータ保持容量3とが一体化して1つのメモリセルとして形成されており、DRAM (Dynamic Random Access Memory) と同様の構造となっている。

【0051】上記のメモリ用MOSトランジスタ4における上記金属配線16はビットライン7に接続される一方、上記のゲート電極11はワードライン6に接続される。

【0052】また、メモリ用MOSトランジスタ4のドレイン電極14がデータ保持容量3に接続される。

【0053】そして、ワードライン6に所定の電圧を印加することによりメモリ用MOSトランジスタ4がONし、ビットライン7に供給される表示用データがデータ保持容量3に記憶される。また、読み出しも同様に、ワードライン6に所定の電圧を印加するとメモリ用MOSトランジスタ4がONし、データ保持容量3に記憶されている表示用データがビットライン7を通して読み出される。したがって、本実施例の液晶表示装置における第

1 フレームメモリ 24 及び第2フレームメモリ 25 は、DRAMと同様の動作を行う。しかも、通常のDRAMでは外部にリフレッシュ回路が必要であるが、本実施例の駆動法においては、後述するように、第1フレームメモリ 24 及び第2フレームメモリ 25 を使用して、1 フレーム期間の  $1/z$  毎、すなわちフレーム周波数が  $60\text{ Hz}$  の場合には、 $16.67 \times 1/z$  [msec] 毎に表示用データが読み出し及び再書き込みされるので、これによって該リフレッシュ回路を不要とすることができる。

【0054】さらに、本実施例では、絶縁基板 5 は、安価な低融点のガラス基板を使用しており、上記の画素 1 の MOS トランジスタ 64、第1フレームメモリ 24 及び第2フレームメモリ 25、並びに走査信号線駆動回路 21 及びデータ信号線駆動回路 22 も  $600^\circ\text{C}$  以下のプロセス温度で形成されている。

【0055】上記の構成を有する液晶表示装置の動作について説明する。図 5 に示すように、最初の状態  $t_0$  では、上記タイミングコントローラ 23 にて生成された切り替え信号により第1フレームメモリ 24 が書き込みを行い、第2フレームメモリ 25 が読み出しを行うモードになっているものとする。ただし、第2フレームメモリ 25 には既に1フレーム前の表示用データが記憶されているものとする。

【0056】この状態で、第1フレームメモリ 24 は、1 フレーム期間内に現フレームの表示用データを書き込み、記憶する。

【0057】この動作と平行して第2フレームメモリ 25 は、既に記憶されている1フレーム前の表示用データの読み出しを1フレーム期間内に  $z$  回 ( $z$  は2以上の整数) 繰り返して行う。この読み出された1フレーム前の表示用データは、図 1 に示すように、データ信号線駆動回路 22 に入力され、タイミングコントローラ 23 からのタイミング信号によりサンプリングされ、データ信号線 66 に出力される。

【0058】これと同時にタイミングコントローラ 23 からのタイミング信号により走査信号線駆動回路 21 からも走査信号が出力され表示用データが所定の画素 1 に書き込まれる。

【0059】すなわち、タイミングコントローラ 23 は、第2フレームメモリ 25 の読み出し速度に対応して、1 フレーム期間 (フレーム周波数が  $60\text{ Hz}$  の場合には  $16.67/z$  [msec]) 以内で  $n$  本分の走査信号が出力できるようなタイミングで走査信号線駆動回路 21 を動作させると共に、それぞれの走査信号のパルス内で  $m$  個の表示用データのサンプリングと書き込みとを行えるような周波数でデータ信号線駆動回路 22 も動作させる。この結果、データ信号線駆動回路 22 及び走査信号線駆動回路 21 の動作周波数は、1 フレーム期間内に各画素 1 …に1回表示用データを書き込む動作を行

った場合の動作周波数の  $z$  倍となる。

【0060】このように、本実施例の液晶表示装置では、画素 1 …を駆動する MOS トランジスタ 64 と、駆動信号を伝送する走査信号線駆動回路 21 及びデータ信号線駆動回路 22 と、表示用データを1フレーム単位で記憶する第1フレームメモリ 24 及び第2フレームメモリ 25 とが同一絶縁基板 5 上に形成されている。これにより、実装効率の向上及び低コスト化を図ることができる。

【0061】また、これらを全て同一絶縁基板 5 上に形成することによって、既存プロセスにデータ保持容量 3 の製造工程のみを追加することによって、又は補助容量 62 と同様の工程でモノリシックに形成可能な第1フレームメモリ 24 及び第2フレームメモリ 25 を用いることによって、さらに実装効率の向上及び低コスト化を図ることができる。

【0062】また、本実施例の液晶表示装置では、新たな1フレーム分の表示用データは、タイミングコントローラ 23 によって、第1フレームメモリ 24 又は第2フレームメモリ 25 のいずれかに記憶される。そして、例えば、第1フレームメモリ 24 への記憶が行われる期間内に、第2フレームメモリ 25 における既に記憶された1フレーム分の表示用データの走査信号線駆動回路 21 及びデータ信号線駆動回路 22 への読み出しが上記タイミングコントローラ 23 によって行われる。そして、タイミングコントローラ 23 は、上記2個の第1フレームメモリ 24 及び第2フレームメモリ 25 への記憶と読み出しとを交互に切り替えて行わせる。これによって、表示データの記憶と各駆動回路 21・22 への読み出しとを同時に行うことができる。

【0063】一方、第2フレームメモリ 25 における既に記憶された1フレーム分の表示用データの走査信号線駆動回路 21 及びデータ信号線駆動回路 22 への読み出しに際しては、タイミングコントローラ 23 が、第1フレームメモリ 24 によって表示用データの新たな1フレームを記憶させる期間内に、第2フレームメモリ 25 における既に記憶された1フレーム分の表示用データの走査信号線駆動回路 21 及びデータ信号線駆動回路 22 への読み出しを2回以上の  $z$  回行うことにより、1フレーム期間に、同一表示用データを同一画素 1 に2回以上の  $z$  回書き込ませる。

【0064】この結果、新たな1フレームの表示用データが記憶される期間内に、同一表示用データを同一画素 1 に繰り返し書き込ませるので、画素 1 に要求されるデータ保持時間が短縮され、保持率が向上する。すなわち、図 6 に示すように、画素容量 63 の電位は、時間の経過に伴い減衰するが、これを必要電位にまで減衰する時間  $T_0$  以内に再度電位を高めることによって、絶えず表示の必要電位を確保することができる。したがって、多結晶シリコン TFT をスイッチング素子として用いた



場合においても、多結晶シリコンTFTのOFF特性の不足を補い、良好な表示品位を確保することができる。

【0065】また、各画素1…の補助容量62を廃止するか又は補助容量62の該容量値を小さくすることができるので、画素開口率の向上を図ることができ、かつ画素回路規模の縮小を図り、ひいては良品率の向上及び高精細化が可能となる。

【0066】また、本実施例の液晶表示装置は、第1フレームメモリ24及び第2フレームメモリ25がDRAMと同様の構造となっており、既存のDRAMの技術を活用することができる。

【0067】さらに、DRAM構成とすることで、第1フレームメモリ24及び第2フレームメモリ25の占める面積を小さくすることが可能となる。

【0068】一方、スイッチング素子として一般的に用いられる非晶質シリコン薄膜を半導体層とした非晶質シリコンTFTを用いたのでは、駆動能力が不足し、ドライバモノリシック技術を実現させるには困難である。

【0069】しかし、本実施例では、MOSトランジスタ64は、多結晶シリコン薄膜を半導体層としてなっているので、従来用いていた非晶質シリコンよりも大幅にキャリア移動度を稼ぐことができ、駆動能力が高い。また、第1フレームメモリ24及び第2フレームメモリ25及び走査信号線駆動回路21及びデータ信号線駆動回路22を構成する各素子も同様に多結晶シリコン薄膜を用いることでモノリシックに形成することができる。

【0070】しかも、第1フレームメモリ24及び第2フレームメモリ25は、フレーム周期以下の時間毎にデータを書き換えるので、リーク電流の大きい多結晶シリコンTFTを用いたメモリにおいても、リークによるデータの消失を防ぐことができ、これによって、通常のDRAMで行われているようなリフレッシュ動作を必要としない。さらに、多結晶シリコン薄膜を用いたMOSトランジスタ64のOFF特性の不足を十分に補うことができる。

【0071】また、絶縁基板5上に形成されるMOSトランジスタ64、データ信号線駆動回路22及び走査信号線駆動回路21、第1フレームメモリ24及び第2フレームメモリ25を構成する素子がプロセス温度600℃以下で形成されているので、安価な低融点のガラス基板が使用可能となり、これによって、装置の大型化、低コスト化が可能となる。

【0072】なお、本発明は、上記の実施例に限定されるものではなく、本発明の範囲内で種々の変更が可能である。例えば、上記実施例では、データ信号線駆動回路22は、ディジタル信号入力用となっているが、特にこれに限定するものではなく、例えば、アナログ信号入力用とすることも可能である。

【0073】すなわち、データ信号線駆動回路22がアナログ信号入力用の場合には、図7に示すように、アナ

ログ表示用データをディジタル信号に変換するA/Dコンバータ31を第1フレームメモリ24及び第2フレームメモリ25への入力前に設けると共に、第1フレームメモリ24及び第2フレームメモリ25とデータ信号線駆動回路22との間に、D/Aコンバータ32及び極性反転回路33を直列に接続する。上記D/Aコンバータ32は、ディジタル信号をもとのアナログ表示用データに変換するものである。また、極性反転回路33は、図8

(a)～(d)に示すように、画素アレイ2における各画素1…の液晶に同一方向にのみ電界をかけていると液晶の寿命が短くなるので、1フレーム毎にフレーム反転、フレーム+1水平ライン反転、フレーム+1垂直ライン反転又はフレーム+ドット反転等の反転を行うものである。なお、この反転駆動は、ディジタル信号入力の場合にも必要なものである。

【0074】これによって、アナログ表示用データにおいても、画像表示が可能となる。

【0075】また、上記第1フレームメモリ24及び第2フレームメモリ25は、上述の構成に限らず、いかなる能動素子を用いても良く、例えばMIM(Metal Insulator Metal)素子等を用いることも可能である。さらに、第1容量電極9及び第2容量電極12の構成も既存プロセスにおける導電性材料であることが望ましいが、他の材料を用いても所望の容量が得られればいかなる構成であっても良い。

【0076】〔実施例2〕本発明の他の実施例を図9及び図10に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施例1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0077】本実施例の液晶表示装置におけるフレームメモリは、図9に示すように、前記第1フレームメモリ24及び第2フレームメモリ25を構成する各メモリセルが多結晶シリコンのメモリトランジスタ41からなっている。

【0078】上記の多結晶シリコンのメモリトランジスタ41からなる第1フレームメモリ24及び第2フレームメモリ25を形成する場合には、図10に示すように、まず、絶縁基板5上に、多結晶シリコンからなる半導体層8を形成し、この上に第1ゲート絶縁膜10a及びフローティングゲート42を積層する。上記半導体層8にはn型の不純物が注入されている。次いで、半導体層8にソース電極13及びドレイン電極14を形成する。次いで、第2ゲート絶縁膜10bを積層し、さらにこの第2ゲート絶縁膜10b上にゲート電極11を形成する。次いで、層間絶縁膜15を形成した後、上記ビットライン7となる金属配線16、及びドレイン電極14と接地するための金属配線44を形成する。最後に保護膜19を形成する。なお、上記のゲート電極11はワードライン6に接続される。この構造は、EEPROM(E

lectrical Erasable Programable Read Only Memory)と同様の構造となっている。

【0079】上記のメモリセルの動作原理を説明する。初期状態としてフローティングゲート42に電荷がない状態とする。まず、ゲート電極11に該トランジスタの閾値電圧よりも少しでも高い電圧が印加されるとソース電極13及びドレイン電極14間に電流が流れるようになる。次に、フローティングゲート42に電子がホットエレクトロン注入等で注入されている場合にゲート電極11にプラス電圧が印加されると、フローティングゲート42の電荷によりプラス電圧が相殺されるが、さらに大きなプラス電圧を印加することによりチャンネルに電子が誘起され、ソース電極13及びドレイン電極14間に電流が流れるようになる。このようにフローティングゲート42に電子が注入されている場合に、該トランジスタがONするためにはゲート電極11に電源電圧よりも高い電圧を印加する必要があるように、つまり通常のゲート電圧では電流が流れないようにすることができる。すなわち、フローティングゲート42中の電荷の有無によって“0”、“1”が記憶可能となる。これによって、第1フレームメモリ24及び第2フレームメモリ25をON/OFFすることができる。

【0080】このように、本実施例の液晶表示装置は、第1フレームメモリ24及び第2フレームメモリ25がEEPROMと同様の構造となっている。したがって、既存のEEPROMの技術を活用して、実施例1で説明した1フレームの期間内に繰返し書込みを行うという駆動法の適用を図ることができる。また、第1フレームメモリ24及び第2フレームメモリ25をEEPROM構成としたことで、書込み及び消去に時間がかかるという面もあるが、メモリの保持能力を向上させ、かつ面積も小さくできる。

【0081】なお、本実施例における第1フレームメモリ24及び第2フレームメモリ25は、必ずしも上述の構成に限らず、例えば、フローティングゲート42を有し、該フローティングゲート42中の電荷の有無により“0”、“1”を記憶する機能を有するものであればいかなる構成であってもよい。

【0082】〔実施例3〕本発明の他の実施例を図11に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施例1及び実施例2の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0083】本実施例の液晶表示装置におけるフレームメモリは、図11に示すように、第1フレームメモリ24及び第2フレームメモリ25のメモリセルが、スイッチング素子である2つの選択用MOSトランジスタ51・52と、これら選択用MOSトランジスタ51・52の間に接続される第1インバータ53及び第2インバータ54とから構成されている。

【0084】上記の第1インバータ53及び第2インバータ54は、第1インバータ53の出力が第2インバータ54の入力に接続され、同様に、第2インバータ54の出力が第1インバータ53の入力へと接続されたフリップフロップ構成となっている。

【0085】そして、上記選択用MOSトランジスタ51・52の他方の電極はビットライン7a及びビットライン7bにそれぞれ接続される一方、ゲート電極はワードライン6にそれぞれ接続されている。したがって、この第1フレームメモリ24及び第2フレームメモリ25は、SRAM(Static Random Access Memory)と同様の構成となっている。

【0086】次に、上記メモリセルの動作原理について説明する。まず、選択用MOSトランジスタ51・52がON状態の時に、例えばビットライン7aに“1”が供給され、かつビットライン7bに“0”が供給されているとするとA点には“1”が、B点には“0”がフリップフロップに書き込まれ、選択用MOSトランジスタ51・52がOFF状態となってもA点には“1”が、B点には“0”が保持し続けられる。そして、再び選択用MOSトランジスタ51・52がON状態となった時に、ビットライン7aには“1”が、ビットライン7bには“0”が読み出される。

【0087】このように、本実施例の液晶表示装置では、第1フレームメモリ24及び第2フレームメモリ25の構成がSRAMと同様の構成となっている。したがって、既存のSRAMの技術を活用して、実施例1で説明した1フレームの期間内に繰返し書込みを行うという駆動法の適用を図ることができる。また、第1フレームメモリ24及び第2フレームメモリ25をSRAM構成としたことで、メモリの保持能力を向上させることができる。

【0088】

【発明の効果】請求項1の発明の画像表示装置は、以上のように、画素を駆動するためのスイッチング素子として各画素に配されたMOSトランジスタと、上記データ信号線及び走査信号線を介して上記MOSトランジスタに表示用データに基づく駆動信号を伝送する駆動回路と、上記駆動回路に出力するための表示用データを1フレーム単位で記憶し、かつ画素外に設けられるメモリ手段とが同一基板上に形成されている構成である。

【0089】これにより、実装効率の向上及び低コスト化を図ることができるという効果を奏する。

【0090】請求項2の発明の画像表示装置は、以上のように、請求項1の画像表示装置において、上記メモリ手段は少なくとも2つの区分メモリ手段に区分される一方、上記表示用データにおける新たな1フレーム分の一方の区分メモリ手段への記憶と他方の区分メモリ手段における既に記憶された1フレーム分の表示用データの上記駆動回路への読み出しとを交互に切り替えて行わせる

切替手段と、上記一方の区分メモリ手段による表示用データの新たな1フレームを記憶する期間内に、他方の区分メモリ手段における既に記憶された1フレーム分の表示用データの上記駆動回路への読み出しを2回以上行うことにより同一表示用データを同一画素に2回以上繰り返して書き込ませる繰返書込手段とが設けられている構成である。

【0091】これにより、新たな1フレームの表示用データが記憶される期間内に、同一表示用データを同一画素に繰り返し書き込ませるので、画素に要求されるデータ保持時間が短縮され、保持率が向上する。したがって、多結晶シリコンTFTをスイッチング素子として用いた場合においても、多結晶シリコンTFTのOFF特性の不足を補い、良好な表示品位を確保することができる。

【0092】また、各画素の補助容量を廃止するか又は補助容量の該容量値を小さくすることができるので、画素開口率の向上を図ることができ、かつ画素回路規模の縮小を図り、ひいては良品率の向上及び高精細化が可能となるという効果を奏する。

【0093】請求項3の発明の画像表示装置は、以上のように、請求項1又は2の画像表示装置において、上記メモリ手段をDRAM構成、SRAM構成又はEEPROM構成とした構成である。

【0094】これにより、既存のDRAM、SRAM又はEEPROMの技術を活用することができるという効果を奏する。

【0095】請求項4の発明の画像表示装置は、以上のように、請求項1、2又は3のいずれかの画像表示装置において、上記MOSトランジスタと駆動回路及びメモリ手段を構成する各素子とは、多結晶シリコン薄膜を半導体層としてなっている構成である。

【0096】これにより、MOSトランジスタは、駆動能力が高い多結晶シリコン薄膜を半導体層としてなっているので、メモリ手段及び駆動回路とスイッチング素子とをモノリシックに形成することができる。

【0097】特に、請求項2のような区分メモリ手段から各画素に表示用データを複数回書き込むことにより、多結晶シリコン薄膜を用いたMOSトランジスタのOFF特性の不足を十分に補うことができるという効果を奏する。

【0098】請求項5の発明の画像表示装置は、以上のように、請求項1、3又は4のいずれかの画像表示装置において、上記基板は電気絶縁性を有するガラス基板からなっており、上記各手段を構成する素子が600℃以下のプロセス温度で形成されている構成である。

【0099】これにより、安価な低融点のガラス基板が使用可能となり、この結果、装置の大型化、低コスト化が可能となるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例における液晶表示装置の構成を示すブロック図である。

【図2】上記液晶表示装置の画素を示す構造図である。

【図3】上記液晶表示装置の第1フレームメモリ及び第2フレームメモリを示す構造図である。

【図4】上記第1フレームメモリ及び第2フレームメモリの等価回路図である。

【図5】上記液晶表示装置の駆動動作を示すタイムチャートである。

【図6】上記液晶表示装置における画素電極の電位の減衰変化を示すグラフである。

【図7】上記液晶表示装置における変形例の構成を示すブロック図である。

【図8】上記液晶表示装置における極性反転回路の動作を示す説明図であり、(a)はフレーム反転、(b)はフレーム+1H反転、(c)はフレーム+1V反転、(d)はフレーム+1ドット反転を示すものである。

【図9】本発明の他の実施例における液晶表示装置の第1フレームメモリ及び第2フレームメモリの構造を示す等価回路図である。

【図10】上記液晶表示装置の第1フレームメモリ及び第2フレームメモリを示す構造図である。

【図11】本発明のさらに他の実施例における液晶表示装置の第1フレームメモリ及び第2フレームメモリを示す等価回路図である。

【図12】従来例を示すものであり、液晶表示装置の画素の構造を示すブロック図である。

【図13】上記液晶表示装置の構成を示すブロック図である。

【図14】上記液晶表示装置の画素を示す構造図である。

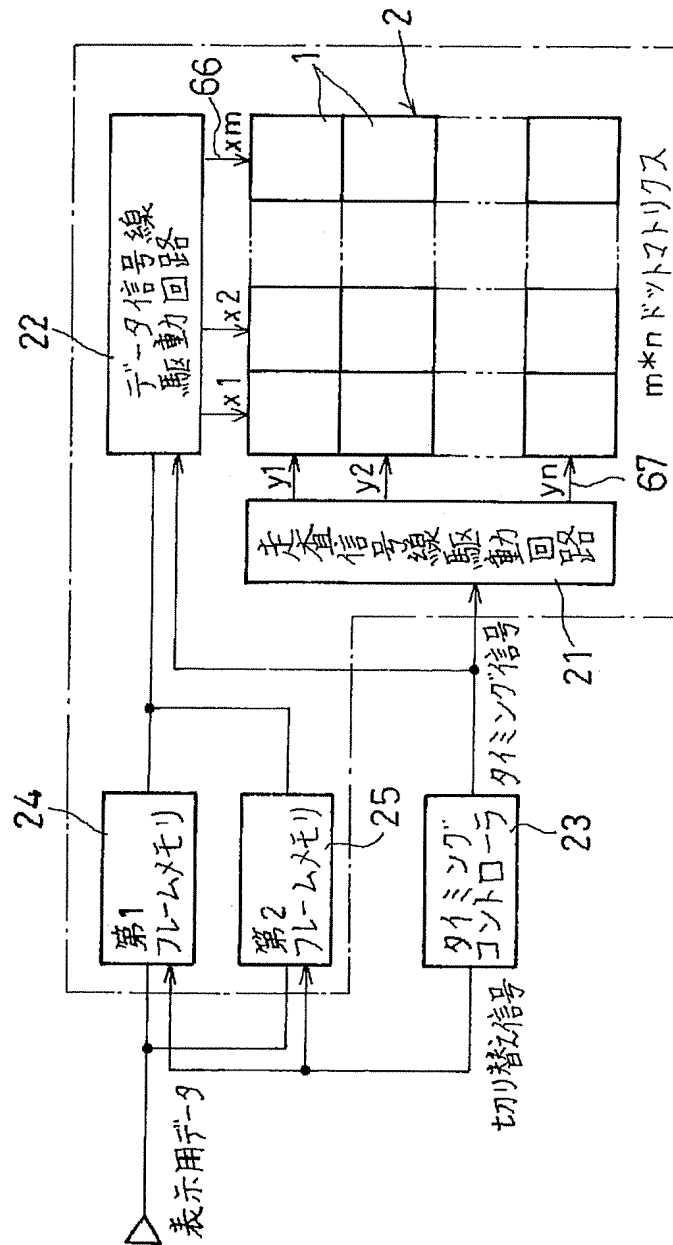
【符号の説明】

- |    |                             |
|----|-----------------------------|
| 1  | 画素                          |
| 2  | 画素アレイ                       |
| 3  | データ保持容量                     |
| 4  | メモリ用MOSトランジスタ               |
| 6  | ワードライン                      |
| 7  | ビットライン                      |
| 21 | 走査信号線駆動回路(駆動回路)             |
| 22 | データ信号線駆動回路(駆動回路)            |
| 23 | タイミングコントローラ(切替手段、繰返書込手段)    |
| 24 | 第1フレームメモリ(メモリ手段、一方の区分メモリ手段) |
| 25 | 第2フレームメモリ(メモリ手段、他方の区分メモリ手段) |
| 61 | 液晶容量                        |
| 62 | 補助容量                        |
| 63 | 画素容量                        |
| 64 | MOSトランジスタ                   |

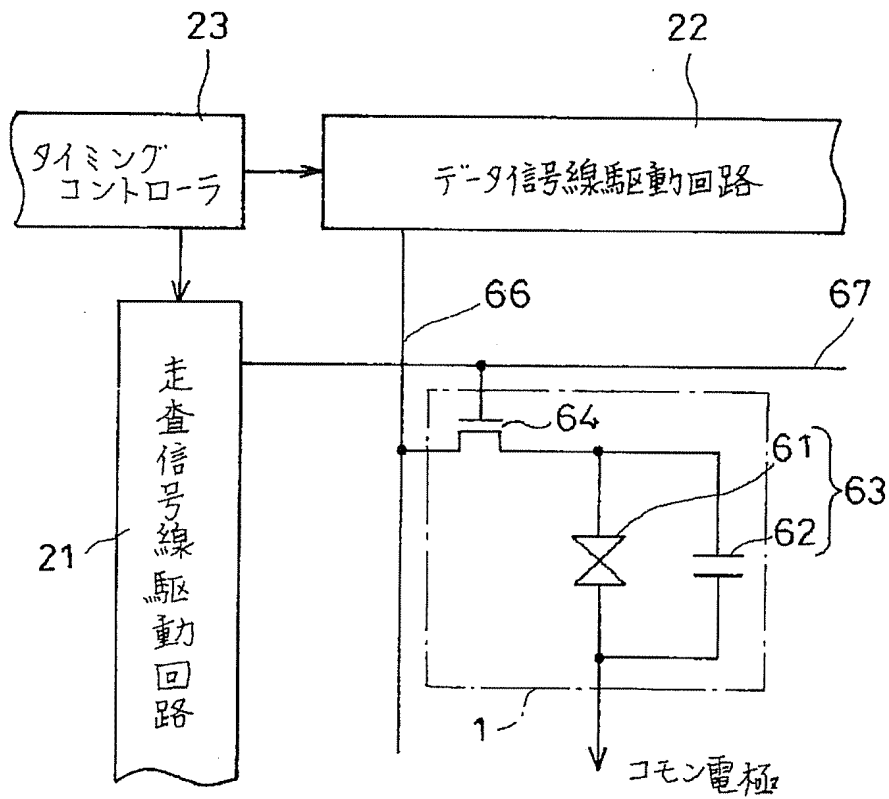
66 データ信号線

67 走査信号線

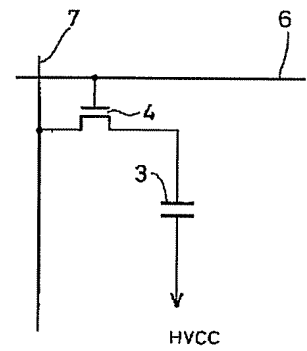
【図1】



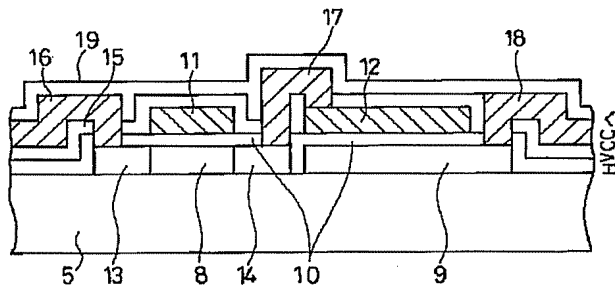
【図 2】



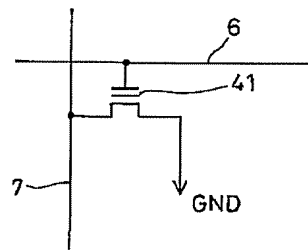
【図 4】



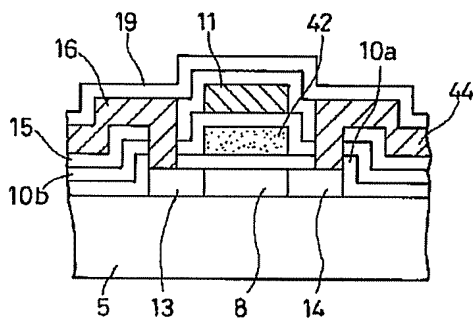
【図 3】



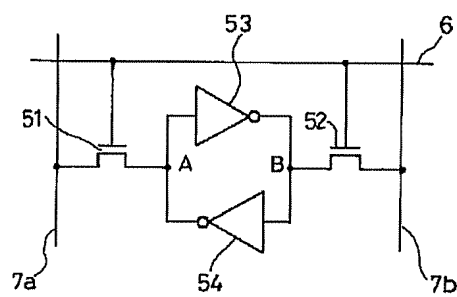
【図 9】



【図 10】

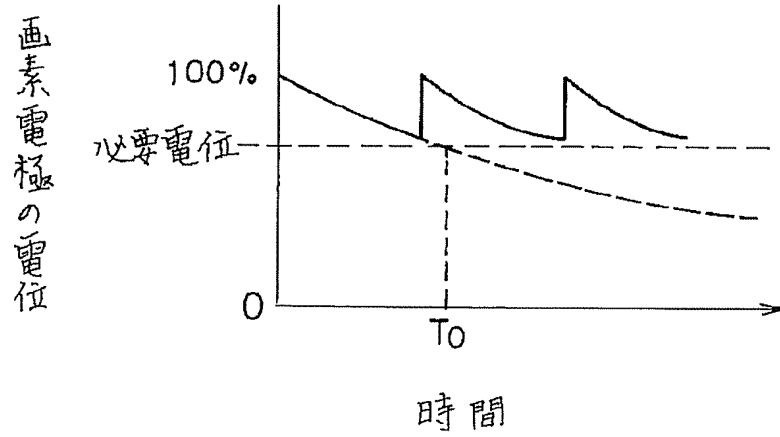


【図 11】

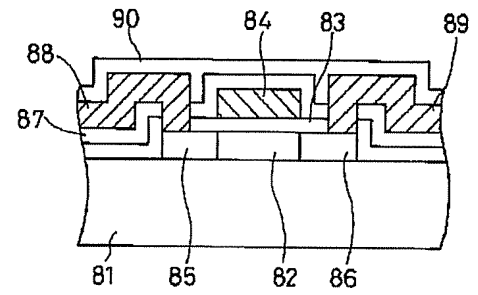




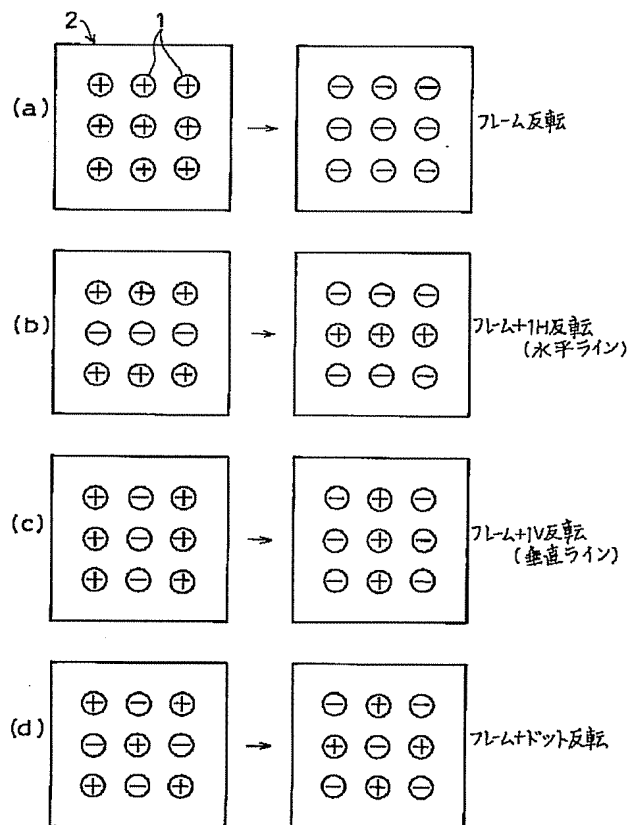
【図 6】



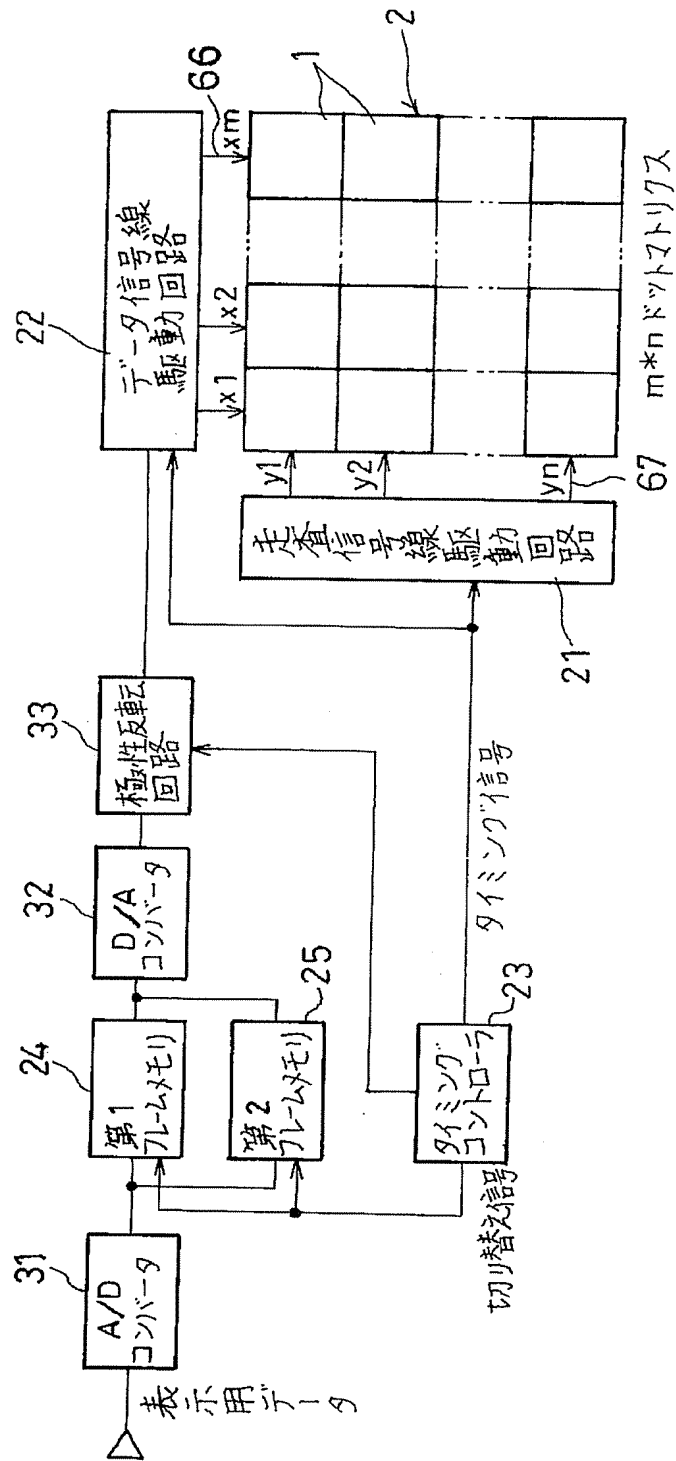
【図 14】



【図 8】

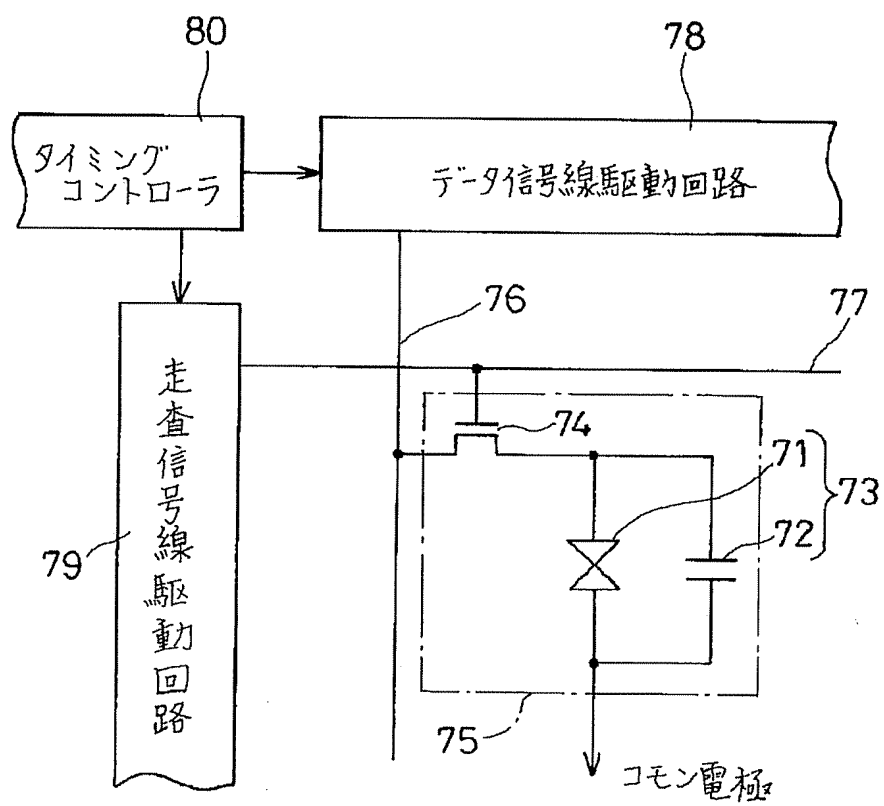


【図 7】





【図 12】



【図13】

